

Ser. 10/511,720

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-167703

(43)Date of publication of application : 15.06.1992

(51)Int.Cl.

H01P 9/00

H01P 3/08

(21)Application number : 02-294039

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 30.10.1990

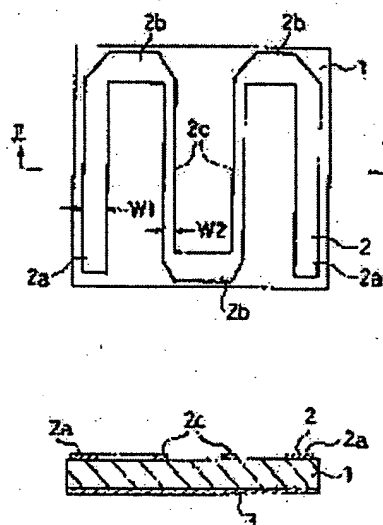
(72)Inventor : BANDAI HARUFUMI
TOJO ATSUSHI
KODO GIICHI

(54) DELAY LINE

(57)Abstract:

PURPOSE: To attain miniaturization of delay line without sacrificing its high frequency characteristic by forming the width of a strip conductor in close approach to the edges of a dielectric layer wider than that of the strip conductor not in close to the edge.

CONSTITUTION: A strip conductor 2 is formed in a meandering shape by using a conductive material and a conductor width W1 of both ends 2a and a folded part 2b close to the edge of a dielectric layer 1 is formed wider than a conductor width W2 of a straight line part 2c in the middle not close to the edge. Thus, even when the distance between the end of the dielectric layer 1 and the strip conductor 2 is decreased to attain miniaturization, the reduction in the capacitance attended with the distance made short is compensated by the increase in the conductor width of the strip conductor 2. Thus, the characteristic impedance is uniformized entirely even when miniaturization is implemented and the small distribution constant type delay line with an excellent high frequency characteristic is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-167703

⑪ Int. Cl.⁵

H 01 P 9/00
3/08

識別記号

A

庁内整理番号

7741-5J
7741-5J

⑬ 公開 平成4年(1992)6月15日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 デイレイライン

⑮ 特 願 平2-294039

⑯ 出 願 平2(1990)10月30日

⑰ 発 明 者 萬 代 治 文 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑱ 発 明 者 東 條 淳 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑲ 発 明 者 児 堂 義 一 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑳ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

㉑ 代 理 人 弁理士 中島 司朗

明 細 書

1. 発明の名称

ディレイライン

2. 特許請求の範囲

(1) 誘電体層を挟んでストリップ導体と接地導体とが形成されたディレイラインにおいて、

前記ストリップ導体が、誘電体層の縁に近接する導体部分を一部に有して形成され、その導体部分を他の導体部分よりも広幅になしてあることを特徴とするディレイライン。

3. 発明の詳細な説明

産業上の利用分野

本発明は、コンピュータや計測器等において信号伝達を遅延させるために用いるディレイラインに関する。

従来の技術

ディレイラインの1つに、分布定数型のものがある。このディレイラインとしては、第4図(平面図)及び第5図(第4図のV-V線による断面図)に示す如く、誘電体基板などの誘電体層11

の一方(上側)の表面にストリップ導体12が形成され、また他方(下側)の表面に接地導体13が形成された、所謂マイクロストリップを用いており、上記ストリップ導体12の長さによってディレイタイムが決まるように構成されたものが知られている。

また、他のディレイラインとしては、第6図に示す構造としたものも知られている。これは、上述した第4図に示すものを積層した構造の一例であり、2つの誘電体層14、14の間にストリップ導体15が形成され、かつ2つの誘電体層14、14の外表面に接地導体16、16が形成されている。

このようなディレイラインの小型化は、一般に誘電体層11や14の広さを小さくし、また、ストリップ導体12や15を折り曲げて蛇行させること等により行われている。

発明が解決しようとする課題

ところで、上述した小型化を図った場合には、次のような問題があった。即ち、第7図に示すよ

うに、接地導体 13 (又は 16) が小さいと、蛇行しているストリップ導体 12 (又は 15) の端部、つまり誘電体層 11 の縁に近接している部分が、接地導体 13 (又は 16) の端部に近寄るため、端部から離れた中央部よりも容量が小さくなって特性インピーダンスが大きくなり、特性インピーダンスが高周波域で一定にならないという問題があった。また、特性インピーダンスが大きくなる箇所としては、蛇行しているストリップ導体 12 (又は 15) の端部だけでなく、誘電体層 11 の縁に近接している箇所すべてであり、例えば折曲部分などがある。

この問題の解決のためには、接地導体 13 や 16 の面積を無限に広くとればよいが、上述した小型化を考慮するとそうはいかず、第 4 図に示すように、誘電体層 11 の端からストリップ導体 12 までの距離 a を或る程度長く取っていたので、結果的に十分な小型化を図れないでいた。

本発明はかかる課題を解決すべくなされたものであり、小型で高周波特性のよい分布定数型のデ

ィレイラインを提供することを目的とする。

課題を解決するための手段

本発明は、誘電体層を挟んでストリップ導体と接地導体とが形成されたディレイラインにおいて、前記ストリップ導体が、誘電体層の縁に近接する導体部分を一部に有して形成され、その導体部分を他の導体部分よりも広幅になしてあることを特徴とする。

作 用

本発明にあっては、誘電体層の縁に近接するストリップ導体部分の幅を、接近しないストリップ導体部分の幅よりも広く形成するので、前記距離 a を短くして小型化を図っても前者のストリップ導体部分において接地導体との間で生じる容量を大きくでき、よって後者のストリップ導体部分において接地導体との間で生じる容量とほぼ等しくできる。このため、特性インピーダンスも全体的に均一となる。

実 施 例

以下、本発明を図面に基づいて具体的に説明す

3

る。第 1 図は本発明に係るディレイラインの一実施例を示す平面図、第 2 図は第 1 図の II-II 線による断面図である。図中 1 は、例えば矩形板状に形成された誘電体基板などからなる誘電体層であり、この誘電体層 1 の一方 (図上側) の表面にはストリップ導体 2 が、他方 (図下側) の表面には接地導体 3 が形成されている。

前記ストリップ導体 2 は、例えば導電性材料を用いて蛇行状に形成され、誘電体層 1 の縁に接近している部分、例えば両端部 2a や折曲部 2b の導体幅 $W1$ を、接近していない部分、例えば中央の直線部 2c の導体幅 $W2$ よりも広くなしてある。

一方、誘電体層 1 の下側の接地導体 3 は、例えば導電性材料を用いて誘電体層 1 の下面全面に形成されている。

したがって、このように構成されたディレイラインにおいては、誘電体層 1 の縁に近接する両端部 2a や折曲部 2b の導体幅 $W1$ を、近接しない中央の直線部 2c の導体幅 $W2$ よりも広く形成するので、第 4 図に示した距離 a を短くして小型化

4

を図っても両端部 2a や折曲部 2b において接地導体 3 との間で生じる容量を大きくでき、よって近接しない中央の直線部 2c において接地導体 3 との間で生じる容量とほぼ等しくできる。このため、小型化を図るべく距離 a を短くしても、その距離 a の短寸化に伴う容量の減少量をストリップ導体 2 の導体幅の増加により補うことができるので、小型化を図っても特性インピーダンスを全体的に均一にできる。なお、導体幅 $W1$ の寸法は、導体幅 $W2$ をもつ直線部 2c での特性インピーダンスに応じて適当な値に設定するとよい。

なお、上記実施例ではストリップ導体 2 と接地導体 3 とにより挟まれた誘電体層 1 が 1 個である単層構造のものに適用しているが、本発明はこれに限らず、上記誘電体層 1 が複数ある積層構造のものにも同様に適用できることは勿論である。第 3 図は、ストリップ導体 2 と接地導体 3 とにより挟まれた誘電体層 1 が 4 個ある場合を例示している。

また、第 3 図に示したものは積層構造に本発明

5

6

を適用した場合の一実施例である。

更に、上記実施例ではストリップ導体が蛇行している場合を例に挙げて説明しているが、本発明は蛇行する場合に限らず、ストリップ導体を螺旋状に形成したものや、一部を螺旋状や蛇行状に形成したもの、要は誘電体層の縁に接近する部分を少なくとも一部に有するものにも同様にして適用可能である。

発明の効果

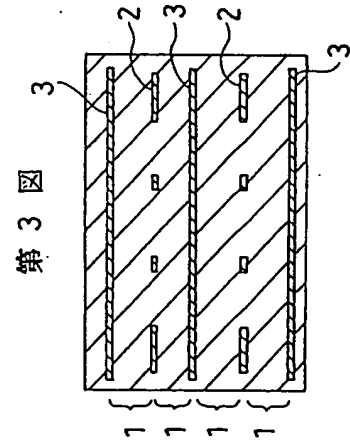
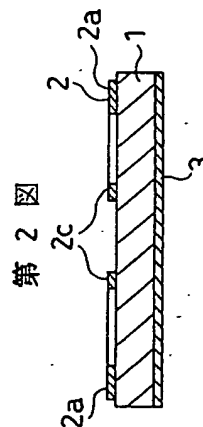
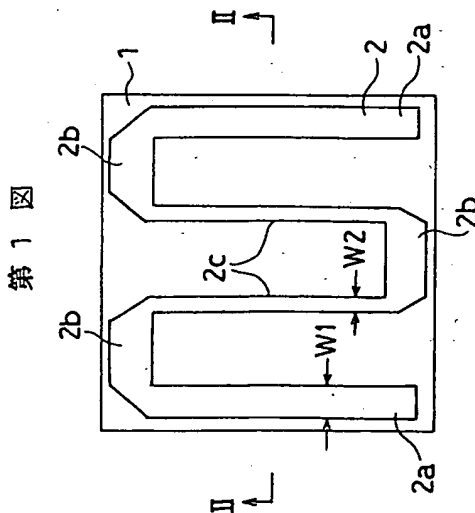
以上詳述した如く本発明による場合には、誘電体層の縁に近接するストリップ導体部分の幅を、接近しないストリップ導体部分の幅よりも広く形成するので、小型化を図っても前者のストリップ導体部分において接地導体との間で生じる容量を大きくでき、よって後者のストリップ導体部分において接地導体との間で生じる容量とほぼ等しくでき、このため高周波域における特性インピーダンスを恒性にすることなく小型化が可能となり、また特性インピーダンスも全体的に均一にできるという効果を奏する。

4. 図面の簡単な説明

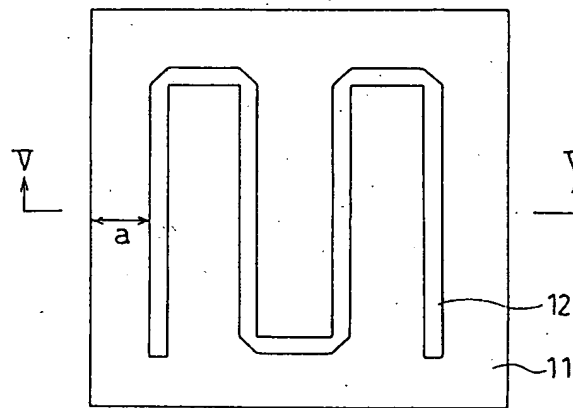
第1図は本発明に係るディレイラインの一実施例を示す平面図、第2図は第1図のⅡ-Ⅱ線による断面図、第3図は本発明の他の実施例を示す断面図、第4図は従来のディレイラインを示す平面図、第5図は第4図のV-V線による断面図、第6図は他の従来例を示す斜視図、第7図は従来の問題点を説明するための図である。

1…誘電体層、2…ストリップ導体、2a…両端部、2b…折曲部（共に誘電体層の縁に近接する導体部分）、2c…直線部（接近しない導体部分）、3…接地導体。

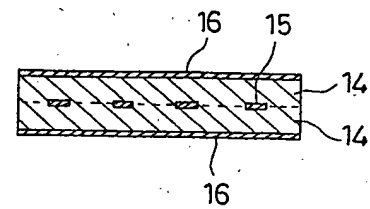
特許出願人 株式会社村田製作所



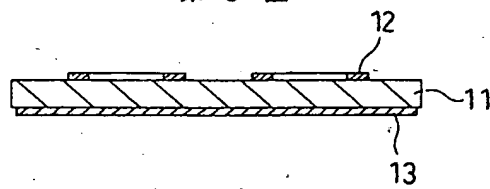
第 4 図



第 6 図



第 5 図



第 7 図

